

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-204271

(43)Date of publication of application : 24.07.1992

(51)Int.Cl.

G01R 31/26

G01R 31/28

(21)Application number : 02-337450

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 30.11.1990

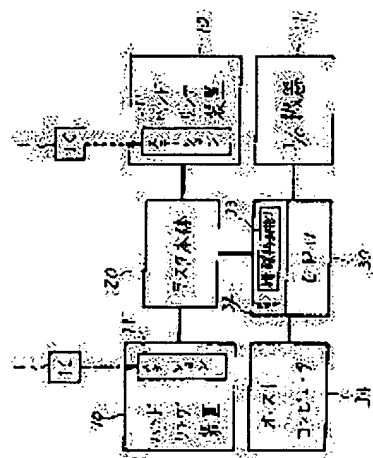
(72)Inventor : MIZUTANI YOSHIYUKI

## (54) IC TEST DEVICE

## (57)Abstract:

PURPOSE: To simultaneously and efficiently measure a plurality of ICs by reading lot information, quality information and the coordinates of IC to be measured and changing over the operation of a handling device to either a synchronous type or an asynchronous type.

CONSTITUTION: A CPU 30 reads information previously input from an I/O device 31 or the good-quality-rate information in a test and the coordinates of ICs. Next, the CPU 30 discriminates which of a synchronous type and an asynchronous type is efficient on the basis of each information. And, in the case where the CPU 30 discriminates that the synchronous type is efficient (or equal), ICs 1 are simultaneously tested in each station. In addition, in the case where the CPU 30 judges that the asynchronous type is efficient, ICs 1 are simultaneously tested in each station 11.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-204271

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)7月24日

G 01 R 31/26  
31/28

Z 8411-2G

6912-2G G 01 R 31/28

H

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 ICのテスト装置

⑯ 特 願 平2-337450

⑰ 出 願 平2(1990)11月30日

⑱ 発 明 者 水 谷 嘉 之 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

ICのテスト装置

2. 特許請求の範囲

テストベッドとなる複数のステーションと、テスト対象となるICを前記ステーションに移動させるための複数のハンドリング装置を備えたICのテスト装置において、前記ステーションに送られるICの品質情報を取り込む事により、前記ハンドリング装置の動作を同期的に行うか非同期的に行うか選択できる事を特徴とするICテスト装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明はIC等の電気的特性を同時に測定するICテスト装置に関し、特に複数のICを効率的に測定できるICのテスト装置を提供するものである。

(従来の技術)

第4図は従来のICテストを示すブロック図で

ある。

図において、00はテストヘッドとなるステーション00を含む複数のハンドリング装置で、テスト対象となるIC(1)をステーション00に移動させるようになっている。IC(1)は各ステーション00に複数個ずつ配置され得る。

00はハンドリング装置00及びステーション00を制御してステーション00に配置された各IC(1)の電気的特性を同時に測定するためのテスト本体であり、テストプログラム及びテストパターン等を格納するためのメモリ(図示せず)を備えている。

第5図は同期式テスト装置の動作を示すフローチャートで、次の様な動作をする。

各ステーション00のハンドリング装置00に送られたIC(1)が同時にテストされる(ステップS20)ハンドリング装置00が検出し、次の座席又は次に送られてくるIC(1)を測定する(ステップS21)。

この操作を全IC(1)を測定終了するまで続ける(ステップS22)。上記動作はすべてのステーション、複数個配置されたIC(1)に対して同時に行

われる。

この場合、第3図に示す様に、通常すべてのテストを実施する事となる(a+b部)。

第6図は非同期式テスト装置の動作を示すフローチャートで、次の様な動作をする。

各ステーション00のハンドリング装置00に送られたICが同時にテストされる(ステップS30)。但し、テストは第3図のa部に当る項目のみである。すべてのステーション00、測定IC(1)がパスとなった時には、続けて第3図b以降のテストを実施する(ステップS31)。

そして、すべてのステーション00で同時に検出し、次の座標又は、次に送られてくるIC(1)を選択する(ステップS33)。

ステップS30で何れかのIC(1)が不良となった時には、この不良となったステーション00の測定IC(1)のみ記録し、次の座標又は、次に送られてくるICを選択する(ステップS34)。

上記動作を全ICの測定終了するまで続ける(ステップS35)。

である。

(作用)

この発明におけるICのテスト装置は、測定するICの前工程での歩留り情報、設定チップ数を測定した段階での歩留り情報、ウェハ周辺部等低歩留りと思われるチップ座標位置を読み取ってやる事により、ハンドリング装置の動作を同期式か非同期式の何れが効率的であるか自動的に判定し、ハンドリング装置に信号を送り制御する。

これにより、より効率的な方式で制御される事になり、複数のICを同時に且つ効率的に測定することができる。

(実施例)

以下、この発明の一実施例を図について説明する。

第1図はこの発明の一実施例であるICのテスト装置のブロック図で、図において(1)、00、00、00、(30)、(31)及び(34)は前記従来のものと同様のものである。(33)はCPV(30)の一部であるメモリ(32)に含まれるロット情報、品質情報、位置

以上に示す様な同期方式か非同期方式のどちらかの方式を初期に固定してテスト実施していた。

(発明が解決しようとする課題)

従来のICテストは以上のように構成されていたので、初期設定時に同期方式か非同期方式に固定されてしまい、ICのテスト歩留りが高い時に効率的な同期方式と、テスト歩留りが低い場合(ウェハの周辺等)に効率的な非同期方式をリアルタイムで切り替えができず、ICテストとしてのシステム効率を低下させてしまうという問題点があった。

この発明は上記のような問題点を解決するためになされたもので、複数のICを同時に且つ効率的に測定できるICのテスト装置を得ることを目的とする。

(課題を解決するための手段)

この発明に係るICのテスト装置は、測定するICのロット情報、品質情報、座標位置を読み取ることにより、ハンドリング装置の動作を同期式か非同期式が何れかに切り換えるようにするもの

情報を示すレジスタ(メモリ)部分である。

第2図は第1図ICのテスト装置の動作を示すフローチャート、第3図はテスト項目を(a)(b)の2グループに分割した説明図を示す。

次に、第2図第3図を参照しながら第1図にICのテスト装置の動作について説明する。

まず、CPU(30)はあらかじめI/O機器(31)より入力された情報、あるいはテスト中の歩留り情報、ICの座標を読み取る(ステップS1)。

上記各情報を基に同期方式か非同期方式のどちらかが効率的か判定する(ステップS2)。

同期式が効率的(あるいは同等)と判断された場合、各ステーション00でIC(1)を同時にテスト(第3図のa+b部分)する(ステップS3)。検出し、次の座標又は次のICを測定する。(ステップS4)。全IC(1)の測定まで上記動作を続ける(ステップS5)。

非同期式が効率的な場合には、各ステーション00でIC(1)を同時にテスト(第3図のa部分)する(ステップS6)。

すべてのデバイスがパスとなった時は、第3図bの部分の内容のテストを続けて実行する(ステップS7)。

すべてのステーション00で同時に検出して、次のIC(1)を選択する(ステップS8)。

全IC(1)の測定まで上記動作を続ける(ステップS9)。ステップS6で何れかのICかが不良となった場合、不良となったステーション00でのみ記録し、次の座標又は次のIC(1)を選択する(ステップS10)。

すべてのIC(1)を測定するまで上記動作を続ける(ステップS11)。

尚、上記実施例では2ステーション構成の場合を示したがより多数のステーション構成であっても適用可能であることは言うまでもない。

(発明の効果)

以上のようにこの発明によれば、測定するICのロット情報、品質情報、座標等を読み取る事により、ハンドリング装置への制御信号をリアルタイムに同期式及び非同期式に切り換える事ができ、

生産効率の良いICのテスト装置が得られるという効果がある。

#### 4. 図面の簡単な説明

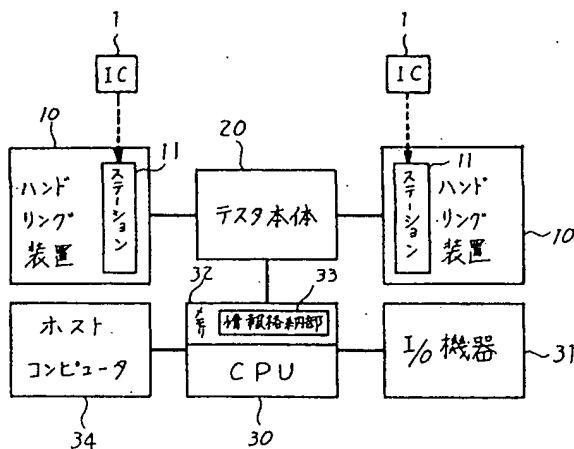
第1図はこの発明の一実施例であるICのテスト装置のブロック図、第2図は第1図のICテスト装置の動作を示すフローチャート図、第3図はこの発明および従来共通のテスト項目の分割構成を示す説明図、第4図は従来のICテストのブロック図、第5図は従来のICテストの場合を示すフローチャート図、第6図は従来の非同期式制御の場合を示すフローチャート図である。

(1)…IC、00…ハンドリング装置、01…ステーション、02…テスト本体、(30)…CPU、(31)…I/O機器、(32)…メモリ、(33)…ロット情報他記憶部分、(34)…ホストコンピュータ。

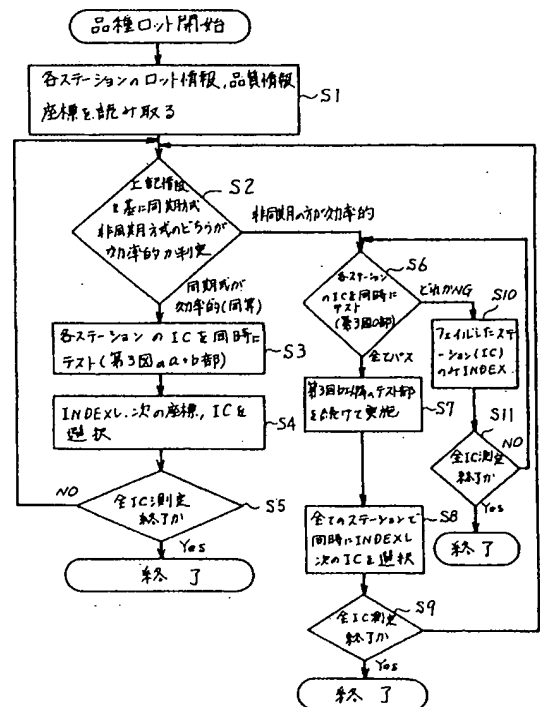
尚、図中、同一符号は同一、又は相当部分を示す。

代理人 大岩 増 雄

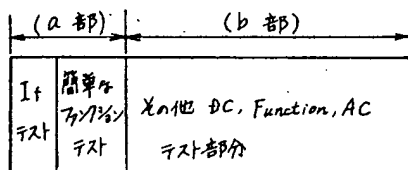
第1図



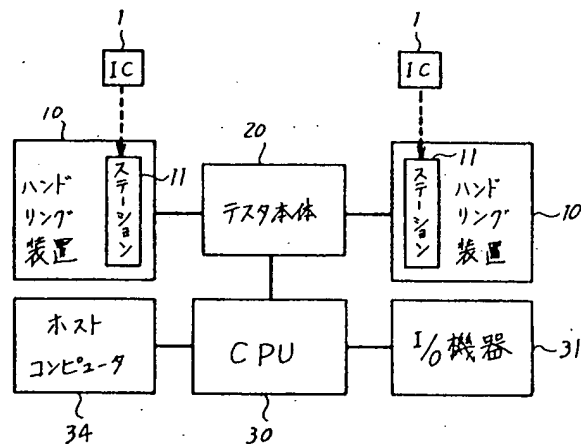
第2図



第3図

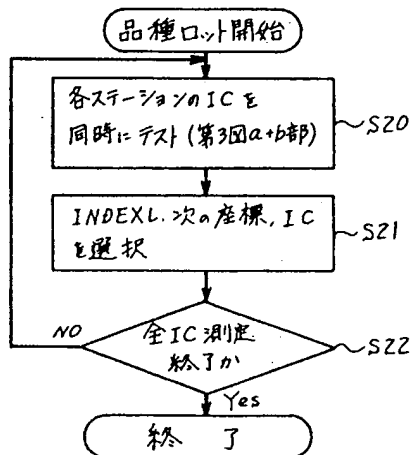


第4図



第5図

(同期方式)



第6図

(非同期方式)

